

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP409293822A

PAT-NO: JP409293822A

DOCUMENT-IDENTIFIER: JP 09293822 A

TITLE: SEMICONDUCTOR DEVICE WITH LEAD FRAME FOR POWER
SOURCE ONLY

PUBN-DATE: November 11, 1997

INVENTOR-INFORMATION:

NAME

YANO, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP08105312

APPL-DATE: April 25, 1996

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of power source pins, increase the number of semiconductor signal pins, and reduce the size and cost of a semiconductor package.

SOLUTION: A metal lead frame for use in assembling of a semiconductor device has a lead frame 101 for VDD power source only and a semiconductor supporting lead frame 102 also used for a VSS power source. A semiconductor device 103 is adhered to an insulation adhesive to the latter lead frame 102. The former lead frame 101 is located vertically above an electric signal transmitting lead frame 108 and formed as a ring surrounding the periphery of the semiconductor device 103. Owing to this structure, any semiconductor pad

can be connected
through a binding wire to the power-only lead frame.

COPYRIGHT: (C)1997,JPO

11/14/2002, EAST Version: 1.03.0002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293822

(43) 公開日 平成9年(1997)11月11日

		識別記号		庁内整理番号		F I		技術表示箇所	
(51) IntCl. ⁶	H 0 1 L 23/50	21/60	3 0 1			H 0 1 L 23/50	21/60	X K	3 0 1 B

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平8-105312

(22) 出願日 平成8年(1996)4月25日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 矢野 博之

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

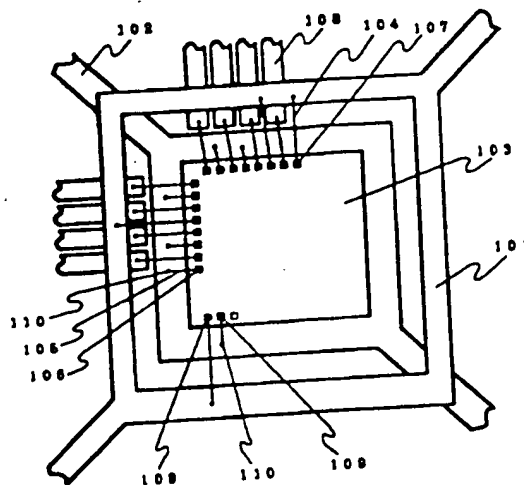
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 電源専用リードフレーム付半導体装置

(57) 【要約】

【解決手段】半導体装置の組立に使用する全金属リードフレームにおいて、VDD電源専用リードフレーム101とVSS電源兼用半導体支持リードフレーム102を設けた。VSS電源兼用半導体支持リードフレーム102の上には、半導体装置103が絶縁性の接着剤によって張り付けてある。またVDD電源専用リードフレーム101は、電気信号伝達用リードフレーム108の垂直上方向に位置し、半導体装置103の周辺を囲むように輪を形成して配置されている。この構造により、どの半導体パッドからでもボンディングワイヤーによって電源専用リードフレームに接続することができる。

【効果】電源ピン数の減少、半導体信号ピンの増加、半導体パッケージの小型化、コストの減少を得ることが出来る。



9はボンディングワイヤー205によって信号パッド2と接続

9はボンディングワイヤー205により、電気信号を出力する。図6の
08に電氣的に接続されている。これにより、電気信号が出力される。
を半導体装置204に力があるいは出力する事が出来る。

【0003】 が出来る。
【発明が解決しようとする課題】上記の従来の半導体装置をよりし

面の組立に使用するリキ消化システムは、この電源バリエーションの一つに対して一つのリキ消化システムを必要とし、リキ消化能力を必要とする。

め、電源ピンが電源が動作分だけ必要となり、ピン数の増加、半導体パッケージの大型化、組立コストの増加を

まねくという課題を有する。この課題を解決するためには、半導体装置を安定して動作させるた

【0004】また、半導体装置を安定して動作させるためにはどうしても複数電源ピンを設ける必要が生じ、電

源ピン数を減らすことが難しかった。

【0005】そこで本発明はこのような課題を解決す
るために、電源ピン数を増加

【0005】そこで、本発明はこのような課題を解決するもので、その目的とするところは、電源ピン数を増加することによって、半導体装置を安定動作させることにあ

るもので、その目的とするところは、電圧変動を抑制せしめ、
させる事なく、半導体装置を安定動作させるところにあ

【0006】

【課題を解決するための手段】本発明の電源専用リード

フレーム付半導体装置は、半導体装置の組立に使用する
金属製リードフレームにおいて、半導体装置を支える電
気的接続部と、フレームと電気信号を伝達する

金属製リードフレームにおいて、半導体表面と大電流電源兼用半導体支持リードフレームと電気信号を伝達するリードフレームと電源専用リードフレームとから

ためのリードフレームと電源専用リードフレームとからなり、半導体装置を支えるリードフレームと半導体装置

なり、半導体装置を支えるリードフレームと半導体装置とを電気的に接続するボンディングワイヤーによって接

とを電気的に接続するボンディングワイヤーによって接続され、電気信号を伝達するためのリードフレームはボンディングワイヤーの両端を保持するパッド部分と

続され、電気信号を伝達するためのリードフレームはボンディングワイヤーによって半導体装置のパッド部分と

ンディングワイヤーによって半導体表面のバンプ部分が電気的に接続され、さらに電源専用リードフレームは、

30 電気信号を伝達するためのリードフレームの垂直上方向に位置し、半導体装置の周辺を囲むように輪を形成した

30 電気信号を伝達する。第1のリードフレームは、半導体装置の周辺を囲むように輪を形成したリードフレームを配置したことを特徴とする。

リードフレームを配置したことを特徴とする。
【0007】

【発明の実施の形態】以下、本発明の実施例を図面に

【発明の実施の形態】以下、本発明の実施例を図面に
より説明する。

【0008】図1は、本発明の一実施例における電源導出部101を示しており、101は

【0008】図1は、本発明の第一実施形態に係る半導体装置を示しており、101はVDD電源専用リードフレーム、108は電気信号伝達

VDD電源専用リードフレーム、108は電気信号伝送
専用リードフレーム、102はVSS電源兼用半導体支持

用リードフレーム、102はVSS電源兼用半導体支持
リードフレーム、103は半導体装置であり、半導体装

40 リードフレーム、103は半導体装置であり、半導体装置103はVSS電源兼用半導体支持リードフレーム102の第1面102aに接合されるように張り

図103はVSS電源用半導体支持リードフレーム102の上に絶縁性の接着剤によって絶縁するように張り付けられたVDD電源用リードフレーム10

02の上に絶縁性の接着剤によって固定されている。また、VDD電源専用リードフレーム101は、電圧信号伝達専用リードフレーム108の垂直上方

1は、電気信号伝達用リードフレーム108の垂直上方
向に位置し、半導体装置103の周辺を囲むように輪を

向に位置し、半導体装置103の周辺を囲むように輪を形成して配面されている。さらに図1に示したVDD電

形成して配面されている。さらに図1に示したVDD電源専用リードフレーム101の右側、左下へのびる部分

源専用リードフレーム101の右下、左下への凸部はVDDの電源ピンとして半導体パッケージの外に出さ

れ、なおかつ、VDDの電源専用リードフレーム101を
この模型を用いて、107はVDD電源パッド、10

50 支える役割を果たす。107はVDD電源バッテリ、10

50 友友を援助する人々。...

3
4はボンディングワイヤーであり、VDD電源パッド107はボンディングワイヤー104によってVDD電源専用リードフレーム101に電気的に接続される。これにより半導体装置103にVDD電源が供給される。106はVSS電源パッド、105はボンディングワイヤーであり、VSS電源パッド106はボンディングワイヤー105によって、VSS電源兼用半導体支持リードフレーム102に電気的に接続される。これにより、半導体装置103にVSS電源が供給される。半導体装置103はVSS電源パッド106及び、VDD電源パッド107が多くあればあるほど安定動作し有利になる。前述した構造にしたためVDD電源専用リードフレーム101およびVSS電源兼用半導体支持リードフレーム102に対して複数ボンディングでき、なおかつ他のボンディングワイヤーと接触しないように接続することが出来る。

【0009】また、109は電気信号入力パッドであり、電気信号入力パッド109を電気信号伝達用リードフレームではなく、VDD電源専用リードフレーム101およびVSS電源兼用半導体支持リードフレーム102へボンディングワイヤー110を使って接続することにより、半導体装置の一部分のみを活性化させたり、半導体装置の機能を変更するのに使用することができる。

【0010】なお、本実施例ではVDD電源専用リードフレーム101の形状が半導体装置の周辺を囲むように輪を形成しているが、半導体装置の1辺以上ととなり合うような棒状としたVDD電源専用リードフレームでも、同様の効果を得ることが出来る。

【0011】

【発明の効果】以上述べたように、本発明によれば半導体装置の周囲に電源専用リードフレームを備えたことにより、どのパッドからでもボンディングワイヤーによって電源のリードフレームに接続することができ、電源ビ

ンが一つであっても複数の電源パッドに接続することが出来る。これにより半導体装置の安定動作に寄与することが出来る。さらに電源ピンを複数設ける必要が無いため、半導体パッケージの小型化、低コスト化に寄与する事が出来る。

【0012】また、電気信号入力パッドをVDD、およびVSSに接続することにより、半導体装置の一部分のみを活性化させたり、半導体装置の機能を変更することが可能となり、機能確認のみに端子を設ける必要が無くなるという効果も有する。

【図面の簡単な説明】

【図1】本発明の一実施例を垂直上方向から見た電源専用リードフレーム付半導体装置の簡略化した平面図。

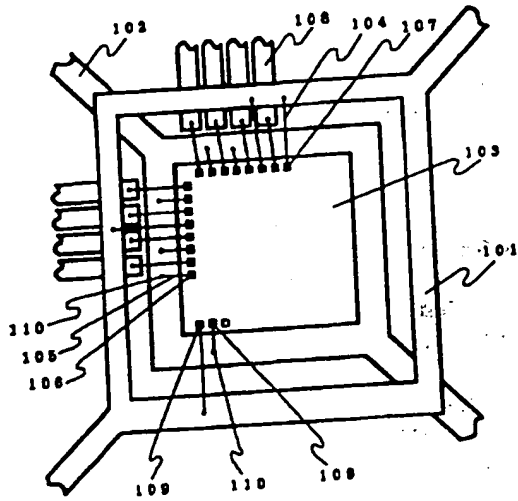
【図2】従来の半導体装置の簡略化した平面図。

【符号の説明】

101 . . . VDD電源専用リードフレーム
102 . . . VSS電源兼用半導体支持リードフレーム
103 . . . 半導体装置
104、105、110 . . . ボンディングワイヤー
106 . . . VSS電源パッド
107 . . . VDD電源パッド
108 . . . 電気信号伝達用リードフレーム
109 . . . 電気信号入力パッド
201 . . . VDD電源リードフレーム
202 . . . VSS電源リードフレーム
203 . . . 半導体装置支持用リードフレーム
204 . . . 半導体装置
205 . . . ボンディングワイヤー
206 . . . VDD電源パッド
207 . . . VSS電源パッド
208 . . . 信号パッド

(4)

【図1】



【図2】

